

## Progetto di Ateneo per la Ricerca di base (2026) – UNIVAQ

a) *Titolo del progetto*

**EMBLEM - Efficient Machine-Learning Based Bandwidth ReguLation to MitigatE  
Memory Contention**

b) *Proponente (PI)*

Prof. Luigi Pomante (SSD: IINF-05/A)

c) *Posizione accademica del proponente*

Professore Associato, Dipartimento di Ingegneria e Scienze dell'Informazione e Matematica (DISIM). **Presa di servizio 1° ottobre 2025.**

d) *Curriculum vitae del proponente (max 5000 caratteri – circa 2 pagine) con elenco delle pubblicazioni più significative (max 10) nel periodo 2021-25, relative al tema del progetto. Indicatori ASN 2024/26 alla scadenza del bando (solo per i progetti di ricerca) relativamente alla fascia superiore del Settore concorsuale e del Settore scientifico disciplinare di appartenenza. Vedere Allegato A*

e) *Eventuali componenti del gruppo di ricerca (solo per i progetti di ricerca di base)*

<b>Nome</b>	<b>Ruolo/Area CUN</b>	<b>Afferenza</b>	<b>Ruolo</b>
<i>Prof. Luigi Pomante</i>	<i>Prof. Associato Area CUN 09</i>	<i>DISIM</i>	<i>Senior</i>
Prof.ssa Romina Eramo	Prof.ssa Associata Area CUN 01	Dip. Scienze della Comunicazione, Università degli Studi di Teramo	Senior
Dott. David Aleo	Assistant Professor Area CUN 01	Cantabria Chip Chair, University of Cantabria, Spain	Junior
Dott.ssa Federica Caruso	RTD-a (PhD in ICT) Area CUN 09	DISIM	Junior
Dott. Giacomo Valente	RTD-a (PhD in ICT) Area CUN 09	DISIM	Junior
Dott.ssa Martina Nolletti	Studentessa di Dottorato Area CUN 01	Gran Sasso Science Institute (GSSI)	Junior

f) *Settore di ricerca ERC di riferimento per la proposta (indicare anche due sotto-settori)*

PE6

- PE6\_2: Computer systems, parallel/distributed systems, sensor networks, embedded systems, cyber-physical systems
- PE6\_11: Machine learning, statistical data processing and applications using signal processing (e.g. speech, image, video)

g) *Abstract (max 1000 caratteri)*

Nei domini safety-critical, come l'aerospazio, stringenti vincoli di dimensioni, peso e consumo energetico spingono verso l'esecuzione concorrente di task su piattaforme eterogenee. In tale contesto, la **contesa** per l'accesso alla memoria condivisa introduce **interferenze temporali** che compromettono la **predicibilità** dell'esecuzione. Gli approcci attualmente adottati per mitigare tali interferenze si basano su modelli temporali fortemente pessimistici, con conseguente sottoutilizzo del sistema.

**EMBLEM** propone un approccio data-driven e platform-aware all'analisi delle interferenze temporali, volto a ridurre il pessimismo evitando assunzioni eccessivamente conservative. Il progetto sviluppa (i) un modello di machine learning, addestrato su piattaforme reali, per **predire le interferenze temporali** e (ii) ne sfrutta le predizioni per il **controllo proattivo della contesa** tramite un meccanismo di regolazione della banda a run-time, garantendo la **predicibilità** dell'esecuzione.

h) *Descrizione del progetto (max 8.000 caratteri, compresi eventuali riferimenti bibliografici. È consentito inserire figure nella proposta. Le figure non concorrono alla determinazione del calcolo del numero dei caratteri.)*

- a. Stato dell'arte*
- b. Obiettivi*
- c. Metodologia*
- d. Piano di lavoro*

*Il progetto deve essere redatto in una sola lingua, a scelta tra italiano ed inglese.*

#### **a. State of Art**

In safety-critical domains such as aerospace, predictable task execution times are essential. Strict size, weight, and power constraints drive the consolidation of multiple tasks onto heterogeneous on-chip platforms, leading to concurrent execution and contention for shared

resources, particularly main memory, as shown in **Fig. 1**. This contention introduces timing interference [1], which increases execution time and compromises timing predictability if not properly accounted for. In safety-critical systems, the loss of predictable execution may lead to deadline violations with potentially severe consequences.

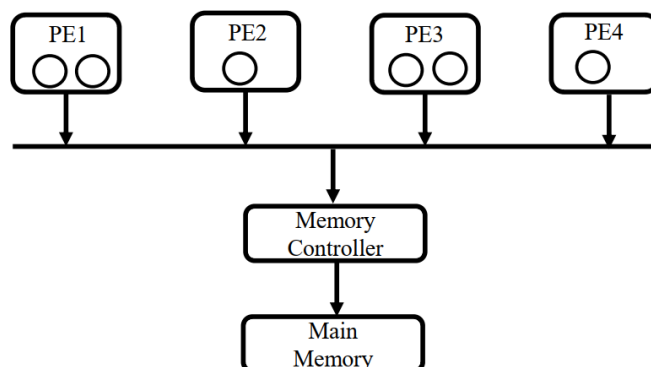


Fig. 1: Concurrent execution of tasks (circles) on multiple processing elements (PEs) accessing shared main memory through a memory controller

Several state-of-the-art approaches aim to protect tasks from timing interference in safety-critical systems.

A common practice consists of avoiding concurrent memory accesses from different tasks [2]. While effective in eliminating interference, this approach leads to resource underutilization and increased hardware area, conflicting with size, weight, and power constraints.

More recent approaches allow tasks to concurrently access main memory and explicitly model memory controller behavior [3]. However, they assume known controller policies, whereas most high-performance platforms use undocumented, throughput-optimized controllers [4].

Other works derive analytical bounds on memory timing interference using rule-based assumptions on memory controller behavior [5], [6]. While effective in specific scenarios, these methods often lead to pessimistic bounds and inefficient resource utilization.

Acknowledging the limited observability of memory controller internals, more recent works [7], [8] explore runtime bandwidth regulation mechanisms to bound interference but require platform-specific configuration and lack portability.

In this context, to protect tasks from timing interference without penalizing system efficiency, there is a clear need for memory interference models that *accurately reflect platform timing behavior* (to avoid pessimism), and that can be *automatically derived from measurements* (to ensure portability across platforms).

## b. Objectives

The overall goal of **EMBLEM** is to address the need for timing-accurate and portable memory interference modeling in safety-critical embedded systems, improving timing predictability and resource utilization under main-memory contention. This goal is pursued through a set of experimentally grounded and complementary objectives, enabled by the collaboration of a multidisciplinary research team:

**O1** - Develop a timing-accurate, machine-learning-based memory interference model derived from automated real-platform profiling, using targeted microbenchmarks designed to expose memory contention and timing interference scenarios.

**O2** - Integrate the trained model into a runtime bandwidth regulation mechanism that dynamically controls memory access to bound timing interference and preserves predictable execution.

### c. Methodology

The project addresses a complex system-level problem in safety-critical embedded systems, where results must be scientifically sound, experimentally validated, and reproducible, while being developed within a strict time frame (10 months). In this context, a structured, yet flexible, research methodology is required. The CRISP-DM [9] framework, shown in **Fig. 2**, supports empirically driven modeling through controlled and time-bounded iterative refinements. The methodology is articulated into six iterative phases, with iterations indicated by arrows in **Fig. 2**, guiding the **EMBLEM** project from problem formulation to operational deployment.

The methodology starts with the *Problem Understanding* phase, where the state of the art on timing interference protection is analyzed and requirements are derived from representative safety-critical case studies.

This is followed by the *Data Understanding* and *Data Preparation* phases, which focus on acquiring, analyzing, and structuring data for modeling purposes. In these phases, tailored microbenchmarks are designed to expose worst-case memory contention scenarios, and profiling activities are carried out on real platforms. The collected data are iteratively analyzed to ensure consistency and representativeness. Given the safety-critical nature of the target systems, particular attention is paid to ensuring that the data reflect safe and realistic operating conditions.

The *Modeling* and *Evaluation* phases address the construction and assessment of predictive models. Iteration between modeling and data preparation is essential to refine model accuracy and robustness. Evaluation results may also trigger a revision of earlier

assumptions, requiring iteration with the problem understanding phase. These phases primarily support the achievement of **O1**.

Once a satisfactory model is obtained, the *Deployment* phase enables its integration into an operational context, specifically within a runtime bandwidth regulation mechanism. This phase supports the achievement of **O2**.

Phase iteration supports refinement but is explicitly bounded and goal-driven, ensuring timely convergence within the project duration (10 months).

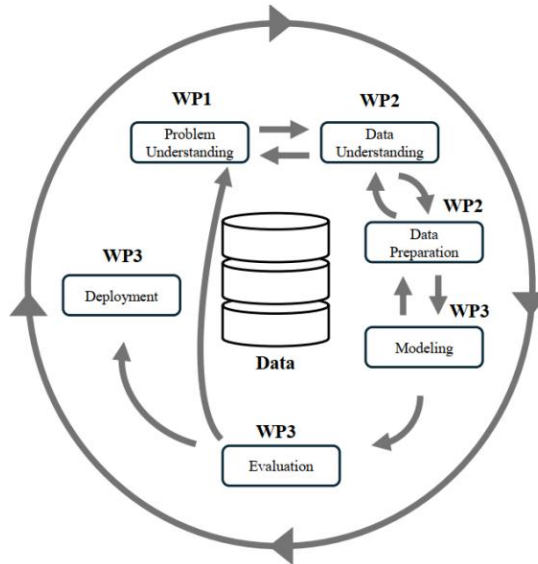


Fig. 2: CRISP-DM-based framework adopted in the project and its mapping to the technical work packages (WPs)

#### d. Working Plan

The project objectives **O1** and **O2** of **EMBLEM** will be achieved by adopting the CRISP-DM methodology and through a structured working plan that directly reflects its main phases. Activities are designed and carried out in a coordinated and partially overlapping manner. **Fig. 3** shows the work packages (WPs), their associated tasks, as well as their duration and scheduling.

WP1, WP2, and WP3 are technical and operational, while WP4 is dedicated to project coordination and management (not explicitly reported in Fig. 2).

	Mar 26	Apr 26	May 26	Jun 26	Jul 26	Aug 26	Sep 26	Oct 26	Nov 26	Dec 26
<b>WP1 – Problem understanding</b>										
T1.1 State-of-the-art analysis on methods to protect tasks from timing interference in embedded systems										
T1.2 Formalization of system assumptions, requirements, and target scenarios.										
<b>WP2 – Data Understanding and Data Preparation</b>										
T2.1 Profiling of the target platform to characterize main memory access latency and contention behavior.										
T2.2 Processing and preparation of profiling data with the goal of enabling effective machine-learning model training.										
<b>WP3 – Modeling, Evaluation, and Deployment</b>										
T3.1 Development and assessment of machine-learning-based models for timing interference prediction.										
T3.2 Integration of the trained model into a runtime bandwidth regulation framework.										
T3.3 Validation of the integrated solution on a heterogeneous System-on-Chip platform through a representative case study.										
<b>WP4 – Project Coordination and Dissemination</b>										
T4.1 Coordination of project activities and financial management.										
T4.2 Dissemination and exploitation of project results through publications and documentation.										

Fig. 3: Working Plan of **EMBLEM** with WPs.

WP1 – *Problem Understanding* represents a prerequisite for all subsequent WPs and establishes the conceptual foundation of the project. Building on WP1, WP2 – *Data Understanding and Data Preparation* focuses on the experimental characterization of platform behavior (**T2.1**) and on the preparation of data required for modeling activities (**T2.2**). WP3 – *Modeling, Evaluation, and Deployment* constitutes the core development phase of the project, addressing model construction and model assessment (**T3.1**), integration into a runtime bandwidth regulation mechanism (**T3.2**), and validation on a heterogeneous System-on-Chip platform (**T3.3**). WP4 – *Project Coordination and Dissemination* spans the entire project duration and supports all activities by ensuring coordination, monitoring, and dissemination of results.

## References

1. Certification Authorities Software Team (CAST), “Position Paper CAST-32A: Multi-core Processors”, 2016.
2. R. Pellizzoni et al., “A predictable execution model for cots-based embedded systems”, IEEE Real-Time and Embedded Technology and Applications Symposium, 2011.
3. M. Hassan et al., “Reverse-engineering embedded memory controllers through latency-based analysis,” IEEE Real-Time and Embedded Technology and Applications Symposium, 2015.
4. A. Serrano Cases et al., “Leveraging Hardware QoS to Control Contention in the Xilinx Zynq UltraScale+ MPSoC”, Euromicro Conference on Real-Time Systems, 2021.
5. D. Casini et al., “A Holistic Memory Contention Analysis for Parallel Real-Time Tasks under Partitioned Scheduling,” IEEE Real-Time and Embedded Technology and Applications Symposium, 2020
6. H. Kim et al., “Bounding memory interference delay in COTS-based multi-core systems,” IEEE Real-Time and Embedded Technology and Applications Symposium, 2014
7. G. Valente et al., “Fine-Grained QoS Control via Tightly-Coupled Bandwidth Monitoring and Regulation for FPGA-Based Heterogeneous SoCs,” in IEEE Transactions on Parallel and Distributed Systems, vol. 36, no. 2, pp. 326-340, Feb. 2025
8. A. Zuepke et al. “MemPol: polling-based microsecond-scale per-core memory bandwidth regulation”. Real-Time Syst 60, 369–412 (2024).
9. F. Martínez-Plumed et al., “CRISP-DM Twenty Years Later: From Data Mining Processes to Data Science Trajectories”, IEEE Transactions on Knowledge and Data Engineering, 2021.

i) *Elementi di originalità e innovazione della proposta e impatto in termini di rilevanza dell'avanzamento nella ricerca di base per la comunità scientifica di riferimento (max 3000 caratteri)*

**EMBLEM** introduce un approccio innovativo al problema, di lunga data, delle interferenze temporali nei sistemi embedded real-time implementati su System-on-Chip. Dal punto di vista della ricerca di base, l'elemento principale di originalità di **EMBLEM** risiede nel passaggio da analisi temporali basate su assunzioni e intrinsecamente pessimistiche a una comprensione data-driven dei fenomeni di interferenza sulla memoria, fondata su osservazioni empiriche e su modelli di apprendimento automatico. È importante sottolineare che tale cambiamento non indebolisce le garanzie di safety: i modelli appresi sono utilizzati per imporre interferenze temporali affidabili e limitate, preservando i requisiti dei sistemi real-time.

L'originalità della proposta è duplice:

- **EMBLEM** non richiede la conoscenza preventiva di meccanismi hardware proprietari o non documentati, quali le politiche di scheduling interne dei memory controller. Il comportamento temporale della memoria viene invece inferito direttamente a partire da misurazioni raccolte sulla piattaforma target. Ciò rappresenta un'innovazione metodologica nella ricerca sui sistemi real-time, poiché consente una modellazione temporalmente accurata anche in presenza di componenti hardware non documentati, sempre più diffusi nelle moderne piattaforme embedded.
- **EMBLEM** introduce una stretta integrazione tra i modelli temporali appresi e la regolazione della banda a run-time. Anziché trattare l'analisi temporale e la mitigazione delle interferenze come problemi separati e debolmente accoppiati, **EMBLEM** stabilisce un legame concettuale e operativo diretto tra inferenza temporale e controllo a run-time. Il modello appreso guida attivamente le decisioni di regolazione, consentendo di limitare le interferenze in modo mirato e adattivo.

Proponendo un framework anziché una soluzione specifica per una singola piattaforma, **EMBLEM** introduce una struttura riutilizzabile e personalizzabile, adattabile a differenti target. Il framework può essere istanziato automaticamente su nuove piattaforme ripetendo le fasi di profiling e addestramento, garantendo la portabilità tra sistemi eterogenei senza la necessità di riprogettare da zero il modello temporale.

Questi elementi di originalità producono due principali impatti:

- Al variare delle piattaforme hardware, il framework proposto consente a ricercatori e progettisti di derivare rapidamente modelli di interferenza temporale per nuovi target

tramite misurazioni e addestramento, evitando la reingegnerizzazione di modelli analitici.

- La modellazione esplicita del comportamento di interferenza della memoria fornisce informazioni preziose per la progettazione e l'ottimizzazione di algoritmi di scheduling, permettendo decisioni più consapevoli ed efficaci che tengono conto di effetti temporali realistici.

**EMBLEM** contribuisce all'introduzione di un nuovo paradigma di ricerca, destinato a stimolare ulteriori studi su tecniche intelligenti e adattive di gestione delle risorse.

*j) Impatto del progetto in riferimento alle tematiche di genere (facoltativo, max 3000 caratteri)*

**EMBLEM** integra l'equilibrio di genere come principio trasversale, in linea con i requisiti di Horizon Europe.

Dal punto di vista delle *risorse umane e dell'organizzazione*, il progetto è pienamente conforme ai principi definiti nei Gender Equality Plans (GEP) adottati a livello istituzionale ed europeo [10], promuovendo l'uguaglianza di genere nei processi di reclutamento, progressione di carriera e partecipazione ai processi decisionali. In particolare, **EMBLEM** garantisce:

- una leadership bilanciata dal punto di vista del genere, con le due posizioni senior ricoperte equamente da una donna e un uomo;
- l'equilibrio di genere all'interno del team di ricerca, composto da un numero uguale di donne e uomini (tre donne e tre uomini);
- una rappresentanza equilibrata nei livelli decisionali, coinvolgendo donne e uomini sia tra i ricercatori senior sia tra quelli in fase iniziale di carriera (due ricercatori senior e quattro junior, equamente distribuiti per genere).

Dal punto di vista dei *contenuti della ricerca*, **EMBLEM** non affronta esplicitamente la dimensione di genere come obiettivo scientifico specifico. Tuttavia, in conformità alle linee guida di Horizon Europe sull'integrazione della dimensione di genere nella ricerca e nell'innovazione [11], l'assenza di un'analisi di genere dedicata è giustificata dalla natura del tema di ricerca (sistemi embedded e informatica), per il quale non sono identificabili effetti diretti specifici di genere. Ciò nonostante, il progetto non trascura le considerazioni di genere ed è sviluppato all'interno di un quadro che promuove attivamente uguaglianza, diversità e inclusione.

**EMBLEM** contribuisce al rafforzamento della diversità di genere nelle discipline STEM, tradizionalmente caratterizzate da una sottorappresentazione femminile, garantendo la partecipazione attiva di ricercatrici e favorendo un ambiente di lavoro inclusivo e non discriminatorio. Tutte le attività del progetto sono organizzate secondo principi di eccellenza, merito, trasparenza e pari opportunità, in linea con l’approccio di Horizon Europe alla “Responsible Research and Innovation” [12].

Nel complesso, pur non avendo un focus scientifico specifico sugli aspetti di genere, **EMBLEM** risulta pienamente allineato ai requisiti di Horizon Europe, integrando l’uguaglianza di genere a livello organizzativo e contribuendo a un ecosistema della ricerca inclusivo, equo e socialmente responsabile.

### Riferimenti

10. European Commission (2021). Horizon Europe Guidance on Gender Equality Plans. Directorate-General for Research and Innovation.
11. European Commission (2021). Gendered Innovations 2: How Inclusive Analysis Contributes to Research and Innovation. European Commission.
12. European Commission (2014). Responsible Research and Innovation: Europe’s Ability to Respond to Societal Challenges. European Commission.

### Piano di spesa

<i>Voce di spesa</i>	<i>Importo (Euro)</i>	<i>Note</i>
Borse di ricerca (art.2 del Regolamento per il conferimento di borse di ricerca attualmente in vigore)	8000	6 mesi
Materiali di consumo		
Attrezzature, strumentazioni, software	3000	Scheda di sviluppo con System-on-Chip
Missioni	3000	Riunioni con il gruppo di ricerca dell’Università di Cantabria
Acquisto prodotti ritenuti necessari per la realizzazione del progetto (es. materiale		

librario, licenze per l'accesso a banche dati, ecc.)		
Pubblicazioni, organizzazione di convegni e workshop	1000	Convegni

Allegato A (max 5000 caratteri)  
**CURRICULUM VITAE – LUIGI POMANTE**

### **POSIZIONI**

Prof. Associato IINF-05/A dal 01 ottobre 2025 - chiamata diretta  
Dipartimento di Ingegneria e Scienze dell'Informazione e Matematica (DISIM)  
Via Vetoio, 1 - 67100 L'Aquila, Italia.  
0862434471/luigi.pomante@univaq.it

2022-2025: Ric. Tempo Det. ai sensi dell'art.24, com.3 - RTD-b, DISIM, UnivAQ.  
2020- 2022: Assegno di ricerca, DISIM, UnivAQ.  
2015-2020: Ric. Tempo Det. ai sensi dell'art.24, com.3 - RTD-a, DISIM, UnivAQ.  
2015: Assegno di ricerca, DISIM, UnivAQ.  
2008-2015: Ric. Tempo Det. (Moratti) - RTD, DEWS, UnivAQ.  
2008-2008: Assegno di ricerca, DEWS, UnivAQ.  
2006-2013: Collaboratore per la ricerca, WEST Aquila S.r.l.  
2006-2008: Collaboratore per la ricerca, DEWS, UnivAQ  
2005: Collaboratore per la ricerca, DIEI, UnivAQ  
1999-2005: Collaboratore per la ricerca, CEFRIEL (POLIMI)  
1999-2002: studente di dottorato, POLIMI  
1998-1999: studente di master, CEFRIEL

### **INCARICHI UNIVAQ**

Presidente della Commissione Pratiche Studenti per il CDLT in Ingegneria dell'Informazione  
Vicepresidente del Consiglio di Area Didattica del CDLM in Ingegneria Informatica  
Membro del Gruppo Assicurazione Qualità per il CDLM Ingegneria delle Telecomunicazioni  
Membro del Collegio dei Docenti per il Dottorato di Ricerca in Information and Communication  
Technology (ICT) del DISIM  
Membro della Commissione Orari del DISIM  
Membro del Consiglio Direttivo del Centro di Eccellenza DEWS  
Membro del Consiglio di Area Didattica del DISIM (Vari CDL)  
Membro di più di 80 commissioni valutatrici di assegni/borse di ricerca per DISIM/DEWS

### **INSEGNAMENTI**

Dal 1999 ad oggi: esercitatore/docente incaricato POLIMI e UnivAQ di corsi in ambito IINF-05/A  
quali Informatica, Calcolatori Elettronici, Sistemi Operativi, Informatica Industriale, Sistemi  
Embedded. Svartati corsi di formazione presso Enti nazionali e soggetti aziendali.

### **ATTIVITA' SCIENTIFICA**

Laurea, Master e Phd in Ing. Informatica, ambito Electronic Design Automation per Embedded  
Systems. Editorial/Guest member di riviste internazionali in Electronic Design Automation e  
Networked Embedded Systems. Membro di varie associazioni e centri di ricerca (e.g., IEEE, ACM,  
DEWS, HiPEAC). Co-Responsabile del gruppo di ricerca ATES@UnivAQ. Revisore per varie  
riviste e conferenze internazionali sui settori di interesse, e per progetti europei e nazionali.  
Valutatore per progetti internazionali e nazionali. Responsabile del nodo locale Lab CINI di  
Embedded Systems and Smart Manufacturing.

### **PROGETTI**

Responsabile scientifico, coordinatore cluster nazionale, WP leader di diversi progetti di ricerca  
europei e nazionali. **Mai ottenuto finanziamento Progetti Ateneo.**

## **METRICHE**

Cit. Scopus: 912 - h-index 17

Cit. Google Scholar: 1359 - h-index 20

Indicatori ASN (I Fascia): Cit. 796 - h-index 16 (Soglie: 389 - 11)

## **PUBBLICAZIONI**

1. G. Valente, V. Muttillio, F. Federici, L. Pomante, T. Di Mascio, "Leveraging traffic injection and quality-of-service to control the reconfiguration delay", *Journal of Systems Architecture*, Volume 168, 2025.
2. S. Peretti, F. Caruso, G. Valente, L. Pomante, T. Di Mascio, "Educating artificial intelligence following the child learning development trajectories", *Behaviour & Information Technology*, 1–17, 2025.
3. J. M. Aceituno, A. Guasque, P. Balbastre, F. Blanes, L. Pomante, "Optimized Scheduling of Periodic Hard Real-Time Multicore Systems," *IEEE Access*, vol. 11, pp. 30027-30039, 2023.
4. V. Muttillio, V. Stoico, G. Valente, M. Santic, L. Pomante, D. Frigioni, "System-Level Timing Performance Estimation Based on a Unifying HW/SW Performance Metric", *Workshop on Parallel Programming and Run-Time Management Techniques for Many-Core Architectures*, Open Access Series in Informatics (OASICs), Volume 127, pp. 3:1-3:14, 2025.
5. G. Valente, V. Muttillio, F. Federici, L. Pomante, T. Di Mascio, "Analysis of Reconfiguration Delay in Heterogeneous Systems-on-Chip via Traffic Injection," *IEEE Embedded Systems Letters*, vol. 16, no. 2, pp. 162-165, 2024.
6. V. Muttillio, V. Stoico, M. Santic, G. Valente, L. Pomante, D. Frigioni, "SLIDE-x-ML: System-Level Infrastructure for Dataset E-xtraction and Machine Learning Framework for High-Level Synthesis Estimations," *IEEE Int. Conf. on Computer Design*, Milan, Italy, 2024, pp. 616-619.
7. G. Valente, T. D. Mascio, L. Pomante, G. D'Andrea, "Dynamic Partial Reconfiguration Profitability for Real-Time Systems," *IEEE Embedded Systems Letters*, vol. 13, no. 3, pp. 102-105, 2021.
8. G. D'Andrea, G. Valente, L. Pomante, T. Di Mascio, "An Investigation of Dynamic Partial Reconfiguration Offloading in Hard Real-Time Systems," *24th Euromicro Conf. on Digital System Design*, Palermo, Italy, 2021.
9. G. Valente, V. Muttillio, L. Pomante, D. Frigioni, T. Di Mascio, "A New HW/SW Co-Design Approach for Monitored Systems-on-Chip Development", *ACM Trans. Embed. Comput. Syst.* 24, 6, Article 172, 2025.
10. R. Eramo, M. Nolletti, L. Pomante, L. Pasquale, D. Pascucci, "Model-driven engineering for simulation models interoperability: A case study in space industry", *Softw: Pract Exper.*, 54(6), 1010-1033, 2024.